

Prova scritta di Architettura degli Elaboratori del 28/01/2016
Tempo a disposizione 2 ore

NB: non si possono utilizzare libri né appunti. È ammesso l'uso della calcolatrice.

Esercizio 1

- a) Siano dati i due numeri interi con segno espressi nella notazione decimale $a=20$ e $b=-14$. Calcolare il risultato dell'operazione $a + b$ in aritmetica binaria tra numeri interi con segno rappresentati in complemento a due su 8 bit.

Scrivere la soluzione nel riquadro:

00000110

- b) Sia dato il numero decimale frazionario $R=456,875$. Convertire R in base 2 utilizzando la notazione in virgola fissa.

Scrivere la soluzione nel riquadro:

111001000,111

Esercizio 2

- a) Determinare una forma SP minima per la seguente espressione proposizionale utilizzando le mappe di Karnaugh:

$$\overline{A}BCDE + \overline{A}BC\overline{D}E + \overline{A}BC\overline{D}\overline{E} + \overline{A}BCDE + \overline{A}BC\overline{D}E + \overline{A}BCDE + \overline{A}BC\overline{D}E + \overline{A}BCDE$$

Scrivere la soluzione nel riquadro:

$$\overline{BDE} + \overline{ABCD} + \overline{ABC}\overline{D} + \overline{ABDE}$$

- b) Disegnare lo schema a porte logiche della relativa rete combinatoria.

Esercizio 3

Progettare una rete sequenziale R con una linea di ingresso X ed una linea di uscita Z . R riceve un bit per volta sulla linea X e deve riconoscere sequenze S di bit del tipo $S=1(01)^{\text{DISPARI}}1$ in cui la notazione $()^{\text{DISPARI}}$ indica una ripetizione dispari della sequenza contenuta tra parentesi. L'automa restituisce

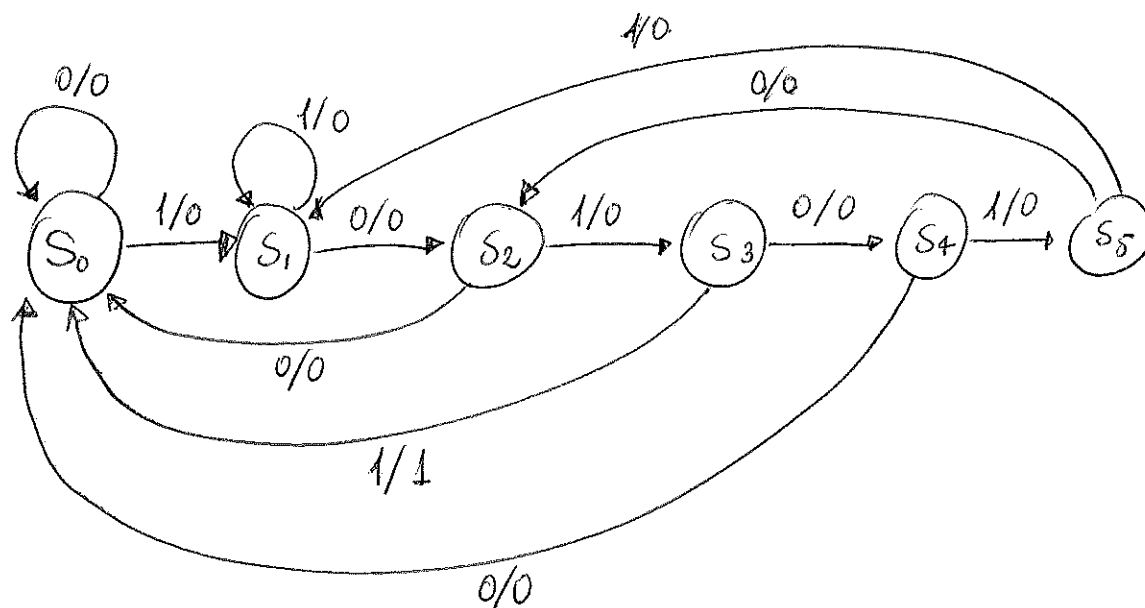
- 1 se la sequenza S di bit è riconosciuta
- 0 in tutti gli altri casi

Un esempio di possibile funzionamento di R è il seguente:

X: 0 0 1 1 1 0 1 0 1 0 1 0 1 1
 Z: 0 0 0 0 0 0 0 0 0 0 0 0 0 1

L'esercizio richiede di modellare il comportamento dell'automa con il grafo delle transizioni.

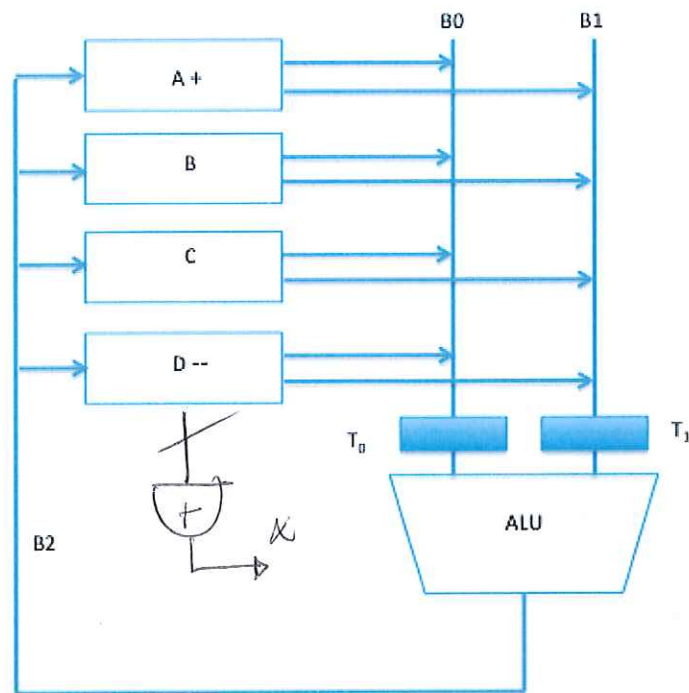
Non è richiesta la sintesi della parte combinatoria della rete.



Esercizio 4

Si consideri un sistema di elaborazione la cui Parte Operativa è schematizzata in figura. Essa contiene:

- quattro registri A, B, C e D collegati in lettura ai bus B0 e B1, ed in scrittura al bus B2 sul quale viaggia l'output dell'ALU. Il registro D è un registro contatore a decremento ed il registro A è un registro contatore ad incremento
- due registri tampone per stabilizzare gli input dell'ALU
- una ALU che esegue 4 operazioni: (1) la somma ($\text{output(alu)} = T0 + T1$), (2) il prodotto ($\text{output(alu)} = T0 \times T1$), (3) il complemento ($\text{output(alu)} = \text{not } T0$) e (4) la funzione identità ($\text{output(alu)} = T1$).



Parte Operativa

Il sistema di elaborazione deve eseguire le seguenti istruzioni:

- $I_0: A - B \rightarrow A$ assumendo che A e B siano numeri interi in complemento a 2;
- $I_1: A^B \rightarrow A$, con $A > 0$ e $B > 0$;

Si vuole progettare l'Unità di Controllo di tale sistema di elaborazione. Essa riceve in ingresso i segnali che indicano quale delle possibili istruzioni la Parte Operativa deve eseguire, e produce i segnali di controllo da inviare a quest'ultima. A tal fine:

a) Specificare, per ognuna delle due istruzioni, i relativi microprogrammi

I1: $A - B \rightarrow A$ // $A - B = A + \text{not } B + 1 \rightarrow A$ (A e B sono numeri in complemento a 2);

- $B \rightarrow T_0$;
- $\text{Alu}(\text{not}(T_0)) \rightarrow C$; // calcola not B
- $A \rightarrow T_0$; $C \rightarrow T_1$;
- $\text{Alu}(T_0 + T_1) \rightarrow A$ // $A + \text{not } B \rightarrow A$
- $\text{Incr}(A)$; // $A + 1$
- halt

I1: $A^B \rightarrow A$ // $A \times \dots \times A$ ----- B-1 volte;

// Si assuma che i registri A e B siano già stati inizializzati

- $B \rightarrow T_1$; $A \rightarrow T_0$;
- $\text{Alu}(T_1) \rightarrow D$;
- $\text{Decr}(D)$;
- if $D == 0$ goto m; // Φ è l'istruzione vuota
- $A \rightarrow T_1$;
- $\text{Alu}(T_0 * T_1) \rightarrow A$; goto i;
- HALT

NOME: _____ COGNOME: _____ MATRICOLA: _____

b) Specificare i segnali di controllo ed i segnali di condizione della Parte Operativa

Segnali di Controllo

ALU

L0	L1	Operazione
0	0	$T0+T1$
0	1	$T0 \times T1$
1	0	Not T0
1	1	T1

Registri

- Segnali di abilitazione alla scrittura: $A_A, A_B, A_C, A_D, A_{T0}, A_{T1}$
- Segnali di abilitazione alla lettura:
 - Bus B0: S_A, S_B, S_C, S_D
 - Bus B1: R_A, R_B, R_C, R_D

Registro Contatore A

A_A	K	operazione
0	-	Nulla
1	0	Carica dal bus B_2
1	1	Incremento

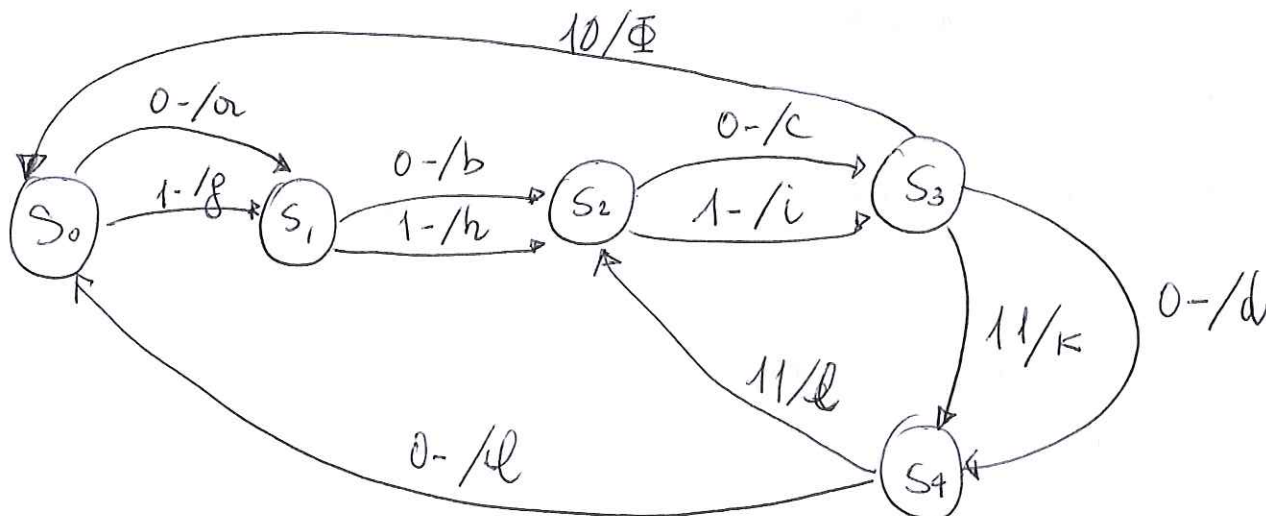
Registro Contatore D

A_D	K	operazione
0	-	Nulla
1	0	Carica dal bus B_2
1	1	Decremento

Segnali di condizione

C'è un unico segnale di condizione $\alpha = OR(D_0, \dots, D_n)$ che emette in OR tutti i bit del registro D.

- c) Fare un esempio di codifica di una microistruzione a scelta
 d) Disegnare il grafo delle transizioni dell'Unità di Controllo



NOME: _____ COGNOME: _____ MATRICOLA: _____

e) Specificare la rete sequenziale che implementa l'Unità di Controllo

