

Prova scritta di Architettura degli Elaboratori del 15/02/2016

Tempo a disposizione 2 ore

NB: non si possono utilizzare libri né appunti. È ammesso l'uso della calcolatrice.

Esercizio 1

- a) Siano dati i due numeri interi (con segno) espressi nella notazione decimale $a = +51$ e $b = -24$. Calcolare il risultato dell'operazione $a - b$ nell'ipotesi che a e b siano rappresentati in complemento a due su 7 bit.

Scrivere la soluzione nel riquadro:

1001011

- a) Rappresentare il numero +58.125, espresso in base dieci, nel formato floating point con 1 bit per il segno, 8 bit per l'esponente – la cui rappresentazione deve essere polarizzata - e 10 bit per la mantissa.

Scrivere la soluzione nel riquadro:

0 10000100 1101000100

Esercizio 2

- a) Determinare una forma SP minima per la seguente espressione proposizionale utilizzando le mappe di Karnough:

$$\overline{A}BCDE + \overline{A}BC\overline{D}\overline{E} + \overline{A}BC\overline{D}E + \overline{A}BCDE + \overline{A}BCDE + ABCDE + ABC\overline{D}\overline{E} + \overline{A}BCDE + \overline{A}BCDE$$

Scrivere la soluzione nel riquadro:

$$CD + AC\overline{E} + \overline{A}BCD + \overline{A}BDE$$

- b) Disegnare lo schema a porte logiche della relativa rete combinatoria.

Esercizio 3

Progettare una rete sequenziale R con una linea di ingresso X ed una linea di uscita Z. R riceve un bit per volta sulla linea X e riconosce sequenze di bit come segue:

1. I primi **due bit** sulla linea X specificano la sequenza da riconoscere (durante il riconoscimento dei due bit l'automa restituisce '0');
2. Una volta nota la sequenza da riconoscere, l'automa restituisce '1' ogni volta che individua tale sequenza sempre sulla linea X (anche in maniera concatenata), '0' altrimenti.

Esempi di possibile funzionamento di R sono i seguenti:

X: 0 1 1 1 0 0 1 0 1 0 0 0 0 1 0 0 1

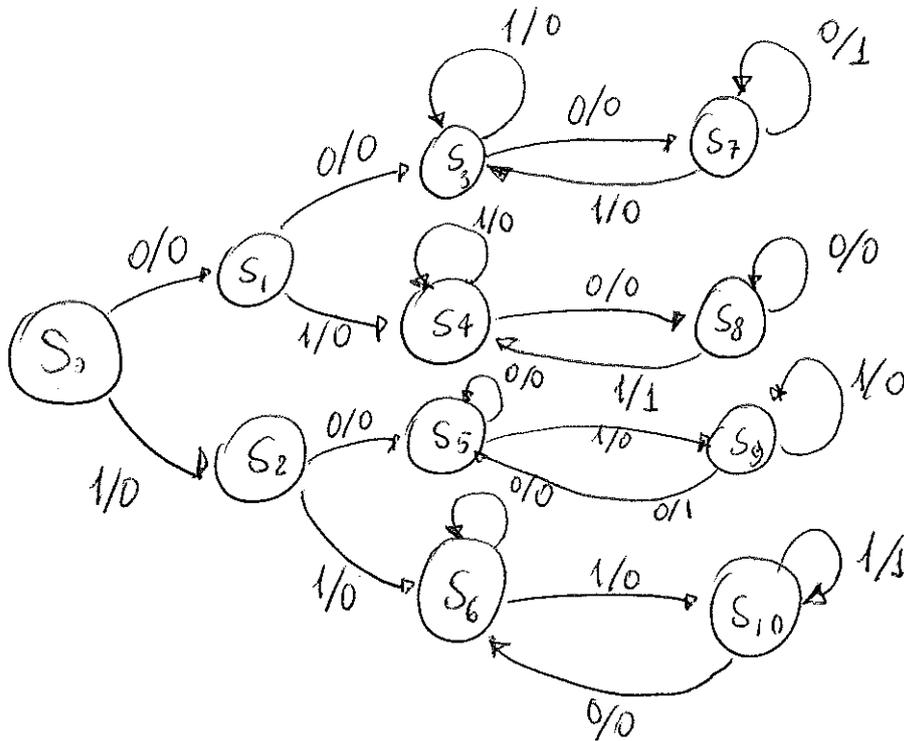
Z: 0 0 0 0 0 0 1 0 1 0 0 0 0 1 0 0 1

X: 0 0 1 1 0 0 1 0 1 0 0 0 0 1 0 1 0

Z: 0 0 0 0 0 1 0 0 0 0 1 1 1 0 0 0 0

L'esercizio richiede di modellare il comportamento dell'automa con il grafo delle transizioni.

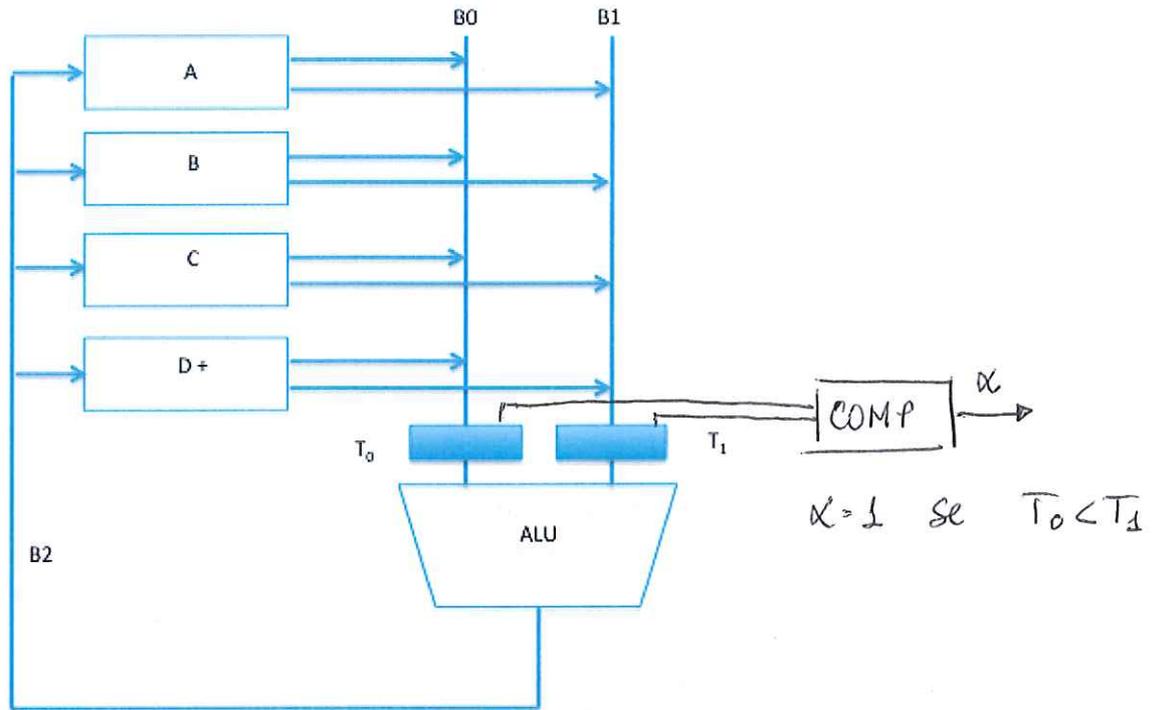
Non è richiesta la sintesi della parte combinatoria della rete.



Esercizio 4

Si consideri un sistema di elaborazione la cui Parte Operativa è schematizzata in figura. Essa contiene:

- quattro registri A, B, C e D collegati in lettura ai bus B0 e B1, ed in scrittura al bus B2 sul quale viaggia l'output dell'ALU. Il registro D è un registro contatore ad incremento ed il registro A è un registro a scorrimento sinistro
- due registri tampone per stabilizzare gli input dell'ALU
- una ALU che esegue 4 operazioni: (1) la somma ($\text{output(alu)} = T0 + T1$), (2) il prodotto ($\text{output(alu)} = T0 \times T1$), (3) la sottrazione ($\text{output(alu)} = T0 - T1$), e (4) la funzione identità ($\text{output(alu)} = T1$).



Il sistema di elaborazione deve eseguire le seguenti istruzioni:

- $I_0: 2*((A+B)*C) \rightarrow A$ con A, B e C numeri naturali;
- $I_1: (A+B) \text{ div } C \rightarrow A$ con A, B e C e $C > 0$; // div è l'operatore di divisione intera

Si vuole progettare l'Unità di Controllo di tale sistema di elaborazione. Essa riceve in ingresso i segnali che indicano quale delle possibili istruzioni la Parte Operativa deve eseguire, e produce i segnali di controllo da inviare a quest'ultima. A tal fine:

1. Specificare, per ognuna delle due istruzioni, i relativi microprogrammi

$I_0: 2*((A+B)*C) \rightarrow A$

// Si assuma che i registri A, B e C siano già stati inizializzati

- a. $A \rightarrow T_0; B \rightarrow T_1;$
- b. $Alu(T_0+T_1) \rightarrow A;$
- c. $A \rightarrow T_0; C \rightarrow T_1;$
- d. $Alu(T_0*T_1) \rightarrow A$
- e. $ShiftSin(A);$
- f. halt

$I_1: (A+B) \text{ div } C \rightarrow A$

// Si assuma che i registri A, B e C siano già stati inizializzati

- g. $A \rightarrow T_0; B \rightarrow T_1;$
- h. $Alu(T_0+T_1) \rightarrow A;$
- i. $Azzera(D); C \rightarrow T_1;$
- j. $A \rightarrow T_0;$
- k. if $T_0 < T_1$ Φ goto m; // Φ è l'istruzione vuota
- l. $Alu(T_0-T_1) \rightarrow A; Incr(D);$ goto j;
- m. $D \rightarrow T_1; Alu(T_1) \rightarrow A;$
- n. HALT

2. Specificare i segnali di controllo ed i segnali di condizione della Parte Operativa

Segnali di Controllo

ALU

L0	L1	Operazione
0	0	T0+T1
0	1	T0xT1
1	0	T0 - T1
1	1	T1

Registri

- Segnali di abilitazione alla scrittura: A_A, A_B, A_C, A_D, A_{T0}, A_{T1}
- Segnali di abilitazione alla lettura:
 - Bus B0: S_A, S_B, S_C, S_D
 - Bus B1: R_A, R_B, R_C, R_D

Registro a Scorrimento A

A _A	S	operazione
0	-	Nulla
1	0	Carica dal bus B ₂
1	1	Shift sinistro

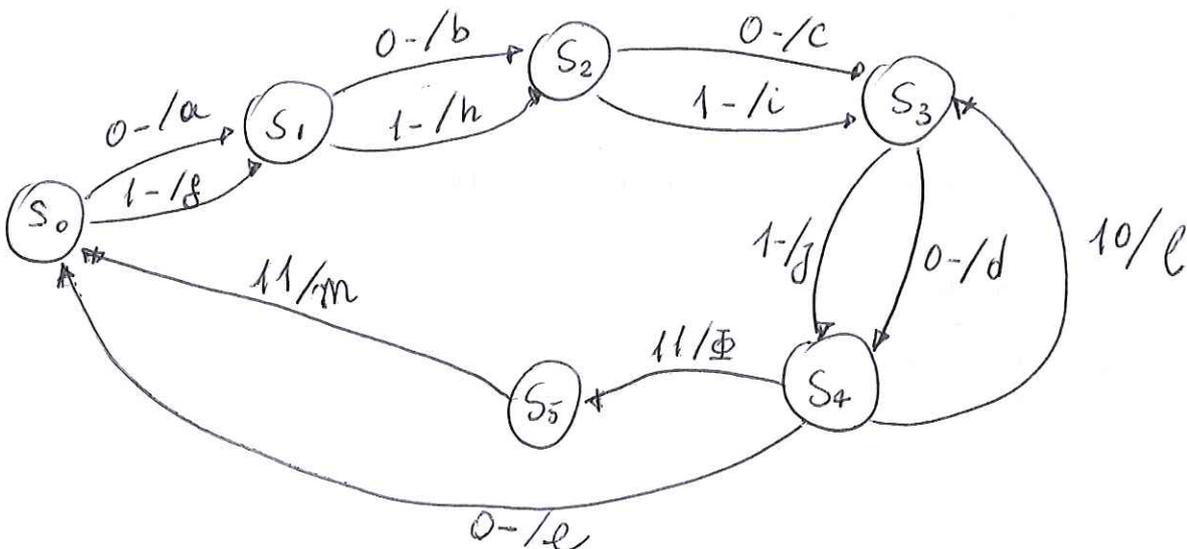
Registro Contatore D

A _D	K	Azz	operazione
0	-	-	Nulla
1	0	0	Carica dal bus B ₂
1	1	-	Incremento
1	0	1	Azzera

Segnali di condizione

C'è un unico segnale di condizione $\alpha = T0 < T1$

3. Fare un esempio di codifica di una microistruzione a scelta
4. Disegnare il grafo delle transizioni dell'Unità di Controllo



5. Specificare la rete sequenziale che implementa l'Unità di Controllo

